

6/5/1

DIALOG(R) File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

01720777 **Image available**

TWO-DIMENSIONAL SOLID-STATE IMAGE PICKUP DEVICE

PUB. NO.: 60-199277 [JP 60199277 A]

PUBLISHED: October 08, 1985 (19851008)

INVENTOR(s): NISHIZAWA JUNICHI

TAMAMUSHI NAOSHIGE

APPLICANT(s): NISHIZAWA JUNICHI [000000] (An Individual), JP (Japan)

APPL. NO.: 59-056489 [JP 8456489]

FILED: March 23, 1984 (19840323)

INTL CLASS: [4] H04N-005/335; H01L-027/14

JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 42.2 (ELECTRONICS --
Solid State Components)

JAPIO KEYWORD: R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements, CCD &
BBD); R132 (ELECTRONIC MATERIALS -- Electrostatic Induction
Type Transistors, SIT)

JOURNAL: Section: E, Section No. 383, Vol. 10, No. 46, Pg. 20,
February 22, 1986 (19860222)

ABSTRACT

PURPOSE: To obtain a device by the gate storage system possible for two-dimensional read by arranging picture elements in matrix formed by electrostatic induction transistors (SIT) having an optical amplification factor of $10^{(sup\ 6)}-10^{(sup\ 8)}$ and receiving a very minute light of nearly $10^{(sup\ -4)}.\mu.W/cm^{(sup\ 2)}$.

CONSTITUTION: One picture element C_{ij} in Figure (a) consists of a normally off SIT and a gate capacitor CG and this invention differs from a conventional example in a point that a source 42 of the SIT is not at ground potential but the source is connected to ground potential via a source line selecting transistor (TR) QB . The QB is selected by a selection pulse ϕ_{Gj} of a GLj at the same time. The operating waveform at read in case of reading each prescribed light integration time TLI is shown in Figure (b), where light is irradiated continuously as assumption. In reading the light information of the picture element C_{ij} , a transfer $TRQT$ is conducted by a transfer pulse ϕ_T to the gate of the $TRQT$ and a CSL' is coupled to a capacitor CSL of a signal read line SLi at first. The pulse width of the ϕ_T is within several $\mu.sec$.

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 昭60-199277

⑬ Int.Cl.
 H 04 N 5/335
 H 01 L 27/14

識別記号 庁内整理番号
 6940-5C
 7525-5F

⑭ 公開 昭和60年(1985)10月8日
 審査請求 有 発明の数 2 (全20頁)

⑮ 発明の名称 2次元固体撮像装置

⑯ 特 願 昭59-56489
 ⑰ 出 願 昭59(1984)3月23日

⑱ 発明者 西澤 潤一 仙台市米ヶ袋1丁目6番16号
 ⑲ 発明者 玉島 尚茂 仙台市角五郎1丁目3番8号
 ⑳ 出願人 西澤 潤一 仙台市米ヶ袋1丁目6番16号

明細書

1 発明の名称 2次元固体撮像装置

2 特許請求の範囲

(1) ノーマリオフの静電誘導トランジスタ(SIT)とゲートキャパシタ C_0 から構成された画素 C_{ij} を $\text{m} \times \text{n}$ のマトリックスに構成した2次元固体撮像装置であって、垂直アドレスゲートライン $GL_1, GL_2, GL_3, \dots, GL_m$ は各 GL_j 上の各画素 $C_{i,j}, C_{i,j}, C_{i,j}, \dots, C_{i,j}$ を構成するSITのゲートにゲートキャパシタ C_0 を介して接続され信号読み出しライン $SL_1, SL_2, SL_3, \dots, SL_n$ は各 SL_i ($i = 1 \sim n$) 上の各画素 $C_{i,1}, C_{i,2}, C_{i,3}, \dots, C_{i,n}$ を構成するSITのドレインに共通に接続され、さらに各信号読み出しラインは接地電位との間に所定のキャパシタ C_{sl} を持ち、かつ各信号読み出しライン SL_i ($i = 1 \sim n$) はプリチャージトランジスタ Q_s を介して所定の電源電圧 V_{ss} 端子に共通に接続されており、さらに各信号読み出しライン

は二つの直列に接続されたトランジスタトランジスタ Q_t 及びスイッチャトランジスタ Q_s を介してビデオ出力ラインに共通に接続され、ビデオ出力ラインには直列に接地電位との間に一つの負荷抵抗 R_L 及び一つのビデオ電源 V_{sb} が接続され、各 Q_t のゲートはすべて共通にトランジスタパルス ϕ_t 用アドレスゲートラインに接続され、さらに各 Q_t のゲート・ドレイン間に所定のキャパシタ C_t を持たせ、かつドレン端子は接地電位との間にキャパシタ C_{tl} を持ち、さらにソースライン $BL_1, BL_2, BL_3, \dots, BL_m$ はアドレスゲートライン GL_1, GL_2, \dots, GL_m が接続された画素列の各画素を構成するSITのソースに共通に接続され、互いにアドレスゲートライン GL_j ($j = 1 \sim m$) とソースライン BL_j ($j = 1 \sim m$) は平行に、 SL_i ($i = 1 \sim n$) とは直交させることでX-Yマトリックス状に画素 C_{ij} は配列されていて、さらに各ソースライン BL_j ($j = 1 \sim m$) には接地電位との間にスイッチャトランジスタ Q_s が

接続され、かつ各 Q_s のゲートは GL_j ($j = 1 \sim m$) に接続され Q_s がオフ状態において各ソースライン BL_j ($j = 1 \sim m$) は接地電位との間に所定のキャパシタ C_{SL} を持ち、各キャパシタの大小関係は $C_0 < C_{SL} \approx C_T \leq C_{SL} = C_{BL}$ となされていて、各アドレスゲートライン GL_1, GL_2, \dots, GL_m には垂直シフトレジスタより垂直シフトパルス $\phi_{01}, \phi_{02}, \dots, \phi_{cm}$ が印加され、各スイッチトランジスタ Q_s のゲートには水平シフトレジスタより水平シフトパルス $\phi_{11}, \phi_{12}, \phi_{13}, \dots, \phi_{cm}$ が印加されることで X-Y アドレスが行なわれるよう構成された 2 次元固体撮像装置。

- 四 前記第一項記載の各画素を構成する静電誘導トランジスタが、正立型であることを特徴とする前記第一項記載の 2 次元固体撮像装置。
 四 前記第一項記載の各画素を構成する静電誘導トランジスタが倒立型であることを特徴とする前記第一項記載の 2 次元固体撮像装置。
 ⑩ ノーマリオフの静電誘導トランジスタ

(SIT) とゲートキャパシタ C_g から構成された画素 C_{ij} を $m \times n$ のマトリックスに構成した 2 次元固体撮像装置であって、垂直アドレスゲートライン $GL_1, GL_2, GL_3, \dots, GL_m$ は各 GL_j の各画素 $C_{ij}, C_{gj}, C_{sj}, \dots, C_{nj}$ を構成する SIT のゲートにゲートキャパシタ C_g を介して接続され、信号読み出しライン $SL_1, SL_2, SL_3, \dots, SL_n$ は各 SL_i ($i = 1 \sim n$) 上の各画素 $C_{ij}, C_{gj}, C_{sj}, \dots, C_{nj}$ を構成する SIT のドレインに共通に接続され、さらに各信号読み出しラインは接地電位との間に所定のキャパシタ C_{SL} を持ち、かつ各信号読み出しライン SL_i ($i = 1 \sim n$) はプリチャージトランジスタ Q_p を介して所定の電源電圧 V_{DD} の端子に共通に接続されており、さらに各信号読み出しラインは二つの直列に接続されたトランジットトランジスタ Q_1 及び Q_2 を介して水平信号転送用 CCD の蓄積領域へ接続されており、各 Q_2 のゲートはすべて共通にトランジットパルス

ϕ_1 用アドレスゲートラインへ接続され、かつ各スイッチトランジスタ Q_s のゲートもすべて共通にゲートパルス ϕ_2 用アドレスゲートラインへ接続され、さらに各トランジスタ Q_s のゲートドレイン間に所定のキャパシタ C_T を持たせ、かつドレイン端子は、接地電位との間にキャパシタ C_{SL} を持ち、さらにソースライン $BL_1, BL_2, BL_3, \dots, BL_m$ はアドレスゲートライン GL_1, GL_2, \dots, GL_m が接続された画素列の各画素を構成する SIT のソースに共通に接続され、互いにアドレスゲートライン GL_j ($j = 1 \sim m$) とソースライン BL_j ($j = 1 \sim m$) は平行に、 SL_i ($i = 1 \sim n$) とは直交させることで X-Y マトリックス状に画素 C_{ij} は配列されていて、さらに各ソースライン BL_j ($j = 1 \sim m$) には接地電位との間にスイッチトランジスタ Q_s が接続され、かつ各 Q_s のゲートは GL_j ($j = 1 \sim m$) に接続され、 Q_s がオフ状態において各ソースライ

ン BL_j ($j = 1 \sim m$) は接地電位との間に所定のキャパシタを持ち、各キャパシタの大小関係は $C_0 < C_{SL} \approx C_T \leq C_{SL} = C_{BL}$ となされていて、各アドレスゲートライン GL_1, GL_2, \dots, GL_m には垂直シフトレジスタより垂直シフトパルス $\phi_{01}, \phi_{02}, \dots, \phi_{cm}$ が印加される毎に画素列 $C_{1j}, C_{2j}, C_{3j}, \dots, C_{nj}$ の画像情報はトランジスタ Q_1 及び Q_2 の開閉によって CCD に並列に入力され、一水平期間内において一列の画素列の転送を完了し、順次 ($C_{1j+1}, C_{2j+1}, C_{3j+1}, \dots, C_{nj+1}$)、($C_{1j+2}, C_{2j+2}, C_{3j+2}, \dots, C_{nj+2}$)、…、($C_{1m}, C_{2m}, C_{3m}, \dots, C_{nm}$) と一水平期間毎に上記画素列の情報を CCD 内において転送を行なうことで CCD 出力端子に順次画像情報を得る 2 次元固体撮像装置。

3 発明の詳細な説明

本願発明は静電誘導トランジスタを用いたゲート蓄積方式の 2 次元固体撮像装置及びその信号検出方法に関するもので、特に歴跡光検出感

度が優れ、かつX-Yアドレス方式における信号読み出し線のキャパシタを利用する読み出し方式により安定で均一に画像を検出する、低消費電力、高速、大容量の固体撮像装置を提供するものである。

従来の静電誘導トランジスタ（以下SITという）を用いたゲート蓄積方式による2次元固体撮像装置の構成及びその信号検出方法には種々な方式が本発明者らにより既に提案され、特許昭56-204656号、特許昭57-217758号、特許昭58-21688号、特許昭58-26982号に開示されている。さらに公知文献としてJ. Nishizawa, T. Tamamushi and S. Suzuki, "SIT image converter", JARECT (Japan Annual Review in Electronics, Computers and Telecommunications) in Semiconductor Technologies Vol 8 (1988, Oct) edited by J. Nishizawa (OHM & North Holland)に実験結果の発表が行なわれている。

さらに本発明者らは、従来のSITイメージ

センサの構成及び信号読み出し方法とは異なり、X-Yアドレス方式における信号読み出し線のキャパシタを利用する読み出し方式を「2次元固体撮像装置及びその信号検出方法」（昭和58年11月5日出願）の名称で出願した。第1図(a)は一画素部分の動作回路、第1図(b)は動作波形である。さらにマトリックス構成として2次元固体撮像装置の構成図、及び代表的な動作波形図を第2図(a), (b)に示す。第1図及び第2図の原理及び2次元化構成は上記「2次元固体撮像装置及びその信号検出方法」において開示された新しい構成と読み出し方式であるが、本発明に最も近い従来例であるため本発明との対比においてまず従来例を説明する。

第1図(a)において、一画素 C_{ij} はノーマリオフの静電誘導トランジスタとゲートキャパシタ C_G によって構成されており、アドレスゲートライン GL_j はゲートキャパシタ C_G を介してSITのゲートに接続され、信号読み出しライン SL_i はSITのドレイン $S0$ に接続されている。

さらに信号読み出しライン SL_i には二つのスイッチングトランジスタ Q_1 及び Q_2 が接続されており、 Q_1 のドレイン端子（出力端子）10には負荷抵抗 R_L を介してビデオバイアス電圧 V_{DD} が印加されており、一方 Q_2 のドレイン端子20にも一定バイアス電圧 $V_{DD'}$ が印加されている。ここで信号読み出しライン SL_i の寄生容量を C_{SL} と表示している。光入力 b_V による画素 C_{ij} の情報はSITのゲートに蓄積される。次に読み出し動作を説明する。第1図(b)に示すように、画素 C_{ij} の光情報を読み出す際には、まずプリチャージパルス ϕ_{Q1} によってプリチャージトランジスタ Q_1 を導通させて、信号読み出しライン SL_i を所定の電圧 $V_{DD'} - V_{thp}$ まで充電を行なう。ここで V_{thp} はプリチャージトランジスタ Q_1 の閾値電圧である。次にアドレスゲートライン GL_j 上にアドレスゲートパルス ϕ_{Q2} を加え、画素 C_{ij} のゲートキャパシタ C_G を介してSITのゲート部分 $S1$ にゲートパルス ϕ_g を加え、SITを導通させると、SITの

ドレイン $S0$ とソース $S2$ 間のインピーダンスが下がることからキャパシタ C_{SL} に、予めプリチャージされた電圧 $V_{DD'} - V_{thp}$ は放電する。この時、SITのゲート $S1$ に蓄積されていた光情報としてのキャリヤによるゲート電位は、外部からのアドレスゲートパルス ϕ_{Q2} によって加算されてゲート電位を上昇させるため、SITのドレイン $S0$ 、ソース $S2$ 間を流れる放電電流は、光強度が強いもの程、大きくなる。

入射光電流を I_s とし、SITのゲートの周囲のpinダイオードの逆方向飽和電流を I_b とする。光入射によって発生したキャリヤによるSITのゲート $S1$ の電位上昇分 ΔV_c は次式で与えられる。ここで t はボルツマン定数、 T は絶対温度、 q は単位電荷量を表わす。

$$\Delta V_c = \frac{kT}{q} \ln \left(1 + \frac{I_s}{I_b} \right) \quad \dots \dots \dots (1)$$

一方、ノーマリオフSITのゲート電圧 V_g とドレイン電流 I_D の関係は、指数関数関係にあり、

$$I_p \propto \exp \frac{qT}{kT} V_g \quad \dots \dots \dots \text{④}$$

で表わされる。ここで α は S I T のゲート電圧が真性ゲート点に及ぼす割合を示す。

一方、入射光電流 I_L は光強度が弱い場合は入射強度 P ($\mu\text{W}/\text{cm}^2$) に比例するから、上記の読み出し動作において、S I T のドレイン 80 とソース 82 間を流れる放電電流 I_{sc} は入射光電流 I_L と

$$I_{sc} \propto \exp \frac{qT}{kT} \Delta V_s = \exp \frac{qT}{kT} \left(\frac{kT}{q} I_L \left(1 + \frac{I_L}{I_s} \right) \right)$$

$$I_{sc} \propto \left(1 + \frac{I_L}{I_s} \right)^2 \quad \dots \dots \dots \text{⑤}$$

ノーマリオフ S I T の場合 $\alpha \approx 1$ としてよいから、 $V_{dd} - V_{tbp}$ に充電されたキャパシタ C_{sl} の放電電流 I_{sc} は入射光電流 I_L 、あるいは入射光強度 P ($\mu\text{W}/\text{cm}^2$) に比例することがわかる。

第 1 図(b)において V_{out} の波形は C_{sl} の両端の電圧波形、あるいは信号読み出しライン SL_i

の電圧変化を示しており、アドレスゲートバルス ϕ_{oj} の印加とともに a の点線、 b の一点鍵線、 c の実線のように変化して $V_{dd} - V_{tbp}$ の電圧から、電圧降下を起こしているのは、 a は暗電流状態、 b は通常の光強度の場合、 c は飽和露光状態の場合にそれぞれ対応している。この放電の時定数は、第 1 図(a)の回路では S I T のドレイン・ソース間のオン抵抗 $R_{on(sit)}$ と C_{sl} の積では決まる。暗電流状態においては、第 1 図(b)の点線に示す如くアドレスゲートバルス ϕ_{oj} が印加されても、S I T が導通しないことが望ましい条件である。暗電流状態において、アドレスゲートバルス ϕ_{oj} の印加のみで、 C_{sl} の放電が起こるとすると、暗電流信号が、出力波形上に現われ、通常の光信号との間の S/N が悪くなるからである。

上述のようにアドレスゲートバルス ϕ_{oj} の印加によって C_{sl} を放電させた後、この C_{sl} の放電量分を再充電することによって外部抵抗 R_L の両端には再充電信号が現れる。

スイッチングトランジスタ Q_1 のゲートへの読み出しアドレスバルス ϕ_{oi} の印加によって、 Q_1 を導通させると、キャパシタ C_{sl} へは、 $V_{dd} - V_{tbs}$ までの電圧が充電される。ここで V_{tbs} は、スイッチングトランジスタ Q_1 の閾電圧である。通常は

$$V_{dd} - V_{tbs} = V_{dd} - V_{tbp} \quad \dots \dots \dots \text{⑥}$$

となるように選ぶ。第 1 図(b)の V_{out} の波形には、 C_{sl} が、 ϕ_{oi} の印加によって再充電される様子が示されており、この再充電と同時に負荷抵抗 R_L の両端には V_{out} (拡大波形) で示された信号が検出される。 a 、 b 、 c はそれぞれ放電量に対応した波形であり、 a は暗電流状態、 b は通常の光強度の場合、 c は飽和露光状態に対応している。

以上が本発明に最も近い従来発明による読み出し動作の基本的動作である。

上述の説明から明らかのように、従来発明の信号読み出し方法では、信号読み出しライン SL_i の寄生キャパシタ C_{sl} を利用しており、

プリチャージトランジスタ Q_2 による C_{sl} の充電、アドレスゲートバルス ϕ_{oj} による C_{sl} の情報に比例した放電、スイッチングトランジスタ (信号読み出しライン SL_i の選択用トランジスタ) Q_1 を介した C_{sl} の再充電によって内部の蓄積 C_{ij} の情報を負荷抵抗 R_L に取り出している。プリチャージトランジスタ Q_2 を介して、読み出し時に、常に信号読み出しライン SL_i の電位を所定の電位に充電し、S I T のドレイン 80、ソース 82 間に一定電圧が加わるよう設定した状態からゲートバルス ϕ_{oj} のアドレスを行なう点が、安定で、均一な信号を得られる特徴となっている。 C_{sl} の放電量の読み出しは極めて容易にスイッチトランジスタ Q_1 を介して行なわれる。第 1 図(a)(b)の動作の場合出力端子 10 における出力波形 V_{out} の時定数は、負荷抵抗 R_L 、 Q_1 のオン抵抗 $R_{on(sit)}$ 及び信号読み出しライン SL_i の寄生容量 C_{sl} によって、 $(R_L + R_{on(sit)}) \cdot C_{sl}$ 毫秒である。

次に、第 1 図(a)(b)に示された従来発明の動作

原理に基づく従来発明の 2 次元固体撮像装置の構成例と動作波形例を第 2 図(a)、(b)に示す。

$m \times n$ のマトリックス状に配列された各画素 C_{ij} はノーマリオフの勢電翻導トランジスタとゲートキャバシタ C_g から構成されており、各 SIT のゲートはアドレスゲートライン $GL_1, GL_2, GL_3, \dots, GL_m$ とゲートキャバシタ C_g を介して m 列に接続され、一方各 SIT のドレインは信号読み出しライン $SL_1, SL_2, SL_3, \dots, SL_n$ と n 行に接続されている。各 SIT のソースは全画素共通に接地電位になされている。さらに各信号読み出しライン SL_i 上にはプリチャージ用トランジスタ Q_p と二つのスイッチ用トランジスタ Q_s 及び Q_d が接続されており、 Q_p のゲートライン SL_i は、各信号読み出しライン SL_i 上のプリチャージトランジスタ Q_p のゲートにおいてすべて共通に接続されるようになされ、スイッチ用トランジスタ Q_s のゲートライン SL_i も各信号読み出しライン上にスイッチトランジスタ Q_s のゲートに接続される。

ジスタ Q_s のゲート・ドレイン間キャバシタを C_s, Q_s のドレイン及び Q_d のソース端子が接地電位との間に持つキャバシタを C_{sd} と表現されている。各キャバシタの大小関係は、有効に各画素の光情報をビデオライン SL_i に取り出すために

$$C_s < C_{sd} = C_d \leq C_{sl} \quad \dots \dots \dots \text{④}$$

としている。さらに各プリチャージトランジスタ Q_p の閾値電圧を V_{thp} 、スイッチトランジスタ Q_s 及び Q_d の閾値電圧を V_{ths}, V_{thd} とし、プリチャージパルス ϕ_p の高さを V_{dp} 、転送ゲートパルス ϕ_s の高さを V_{ds} 、各水平シフトパルス $\phi_{si}, \phi_{sj}, \dots, \phi_{sn}$ の高さを V_{ds} に等しいと仮定すると、

$V_{dp} - V_{thp} - V_{ths} = V_{ds} - V_{thd} \quad \dots \dots \dots \text{⑤}$

となるように電源電圧の値を選定している。逆に言うと、信号読み出しライン SL_i がプリチャージされ、キャバシタ C_{sd} が充電される電圧レベルは、スイッチトランジスタ Q_s の導通により再充電される電圧レベルに等しくなるよ

いてすべて共通に接続されるようになされている。各スイッチトランジスタ Q_s のゲートには水平シフトレジスタ 50 からの信号読み出しライン選択パルス列 $\phi_{si}, \phi_{sj}, \phi_{sj}, \dots, \phi_{sn}$ が印加されるよう構成されており、各スイッチトランジスタ Q_s のドレイン端子は共通にビデオ出力ライン SL_i に接続され、このビデオ出力ライン SL_i 上には一負荷 R_L とビデオバイアス電源 V_{db} が接続されている。信号出力は負荷抵抗 R_L の両端より得られる。垂直シフトレジスタ 52 からは、各アドレスゲートライン $GL_1, GL_2, GL_3, \dots, GL_m$ 上へアドレスゲートパルス $\phi_{si}, \phi_{sj}, \phi_{sj}, \dots, \phi_{sm}$ が印加されるよう構成されている。さらに詳しく説明すると、各プリチャージトランジスタ Q_p のドレイン端子は共通にプリチャージ電圧 V_{dp}' の与えられた電源ライン SL_i に接続されている。

第 2 図(a)において、各信号読み出しライン $SL_1, SL_2, SL_3, \dots, SL_n$ の寄生キャバシタは C_{sl} と表現されており、スイッチトラン

うに、 V_{dp}', ϕ_p の高さ、 V_{thp}, V_{ths}, ϕ_s の高さ、 V_{thd}, ϕ_d ($i = 1 \sim n$) の高さを選定することで、安定で均一な条件における読み出しが行われるわけである。各画素を構成する SIT のソースは n^+ 基板もしくは n^+ 埋め込み層によって全画素共通になされており、さらに各画素を構成する SIT は互いに画素信号の分離がなされるべく、同一半導体基板内において互いにドレイン及びゲートは分離されている。同一の信号読み出しライン SL_i に接続される SIT のドレインのみは電気的に共通になされている。

第 2 図(b)は第 2 図(a)に示された 2 次元固体撮像装置の読み出し動作波形の一例を示す。第 2 図(b)に示した動作波形では、 $m \times n$ のマトリックス状に配列された画素の光情報を順次 ($C_{11}, C_{12}, C_{13}, \dots, C_{1n}$)、($C_{21}, C_{22}, C_{23}, \dots, C_{2n}$)、… ($C_{i1}, C_{i2}, C_{i3}, \dots, C_{in}$)、… ($C_{j1}, C_{j2}, C_{j3}, \dots, C_{jn}$)、… ($C_{j+1}, C_{j+2}, C_{j+3}, \dots, C_{jn+1}$)、… ($C_{n1}, C_{n2}, C_{n3}, \dots, C_{nn}$) と読み出して

いく場合の読み出し動作波形を示している。同様の信号読み出しラインの寄生キャパシタ C_{SLj} もしくは $C_{SL} + C_{SL'}$ の充放電を利用する動作原理を応用して、読み出し信号ラインを一本毎に飛び越し走査を行なう等の改良型も存在するが、本質的な部分は第2図(b)において、示されている。さらに第2図(b)の動作波形を改良する方法も存在する。一例として、一水平読み出し期間後のわずか数μs以内の一水平掃除期間において、 ϕ_{oj} のパルス高さよりも高いパルス、例えば2.5V以上、パルス幅数μs以内のリフレッシュパルスを同一信号ライン GL_j 上に加える機能を各アドレスゲートパルスに加える方法も存在する。第2図に示した信号読み出し方式においては、アドレスゲートパルス ϕ_{oj} が加わってから、充分 ϕ_{oj} のパルス幅(数μs以下)以内の短い時間内において各画素の光情報をキャパシタ C_{SLj} 、 $C_{SL'}$ へ蓄積しており、アドレスゲート時に ϕ_{oj} (高さ2V、パルス幅数μs以内) を加え、ほぼ一水平期間経過後の水平掃

除期間において、或いは ϕ_{oj} のパルスが切れて、 C_{SLj} と $C_{SL'}$ の分離が行なわれた直後において同一ライン上に ϕ_{oj} よりも高い(2.5V以上、数μs以内)リフレッシュパルスを加えることになる。しかし、最も簡単には、第2図(b)に示されるように ϕ_{oj} としてパルス高さ2.5V以上、パルス幅数μs以内のアドレスゲートパルスを用いれば、 ϕ_{oj} のアドレス時に、殆どのゲートに蓄積されたキャリアはリフレッシュされるため、リフレッシュゲートパルスを水平掃除期間もしくは ϕ_{oj} のパルスが切れた直後に加える必要はなくなる。ゲートのパルス高さは高くなるにつれてスイッチングに伴うスパイクノイズが大きくなるため、スイッチングスパイクノイズが、問題となる場合にはアドレスゲートパルス ϕ_{oj} の高さは2V以内に抑え、一水平掃除期間もしくは ϕ_{oj} のパルスが切れた直後においてリフレッシュパルスを加える機能が有効になるわけである。従って、ここでは最も簡単な動作波形を第2図(b)に示してある。

第2図(b)の動作を説明する。第2図(a)の構成で、第1図の原理図と異なる点は、信号読み出しライン SL_i ($i = 1 \sim n$) 上にスイッチ用トランジスタ Q_T が付加されている点であるが、これは次のような理由による。同一信号読み出しライン SL_i には四個のSITが接続されているが、光検出状態においては、 SL_i と接地点との間のインピーダンスは各SITに光が照射されて、ゲートにキャリアが蓄積されることによって各SITのソース・ドレイン間のチャンネル内に存在する電位障壁の高さが減少するため、光積分とともに、次第に減少していく。 SL_i と接地点との間のインピーダンスが減少すると $C_{SLj} + C_{SL'}$ に予めプリチャージされた電位が放電されることになるが、この放電量は、一列分の光情報の和に相当したものであり、どの画素の光情報をあるかを特定することはできなくなってしまう。一方、光情報を各SITのゲートに蓄積されたため SL_i の電位が変動しても殆んど失われることはない。水平シフトバ

ルス ϕ_{sl} が加わってから ϕ_{oj} が加わるまでの時間は略々一水平期間に等しく、TV信号では60μs程度である。従って、第1図に示した原理図のままで、プリチャージ信号により信号読み出しライン SL_i ($i = 1 \sim n$) がプリチャージされて GL_j がアドレスされ ϕ_{oj} により初めの画素 C_{ij} が読み出されてから、 ϕ_{oj} により C_{oj} が読み出されるまでの間に、後半の信号読み出しライン程、予めプリチャージされた電圧レベルが放電しやすくなっているわけである。特に SL_n のラインのプリチャージ電位は、 ϕ_{oj} によって C_{oj} が読み出されるまでの60μs程度は一定に保たれる必要があり、その間、同一 SL_n ラインに接続された他の画素の光受光による影響は極力抑えられなければならない。しかし、実験的に明らかになったことであるが、一水平ライン SL_i に並べる画素が増加すればするほど光積分とともに SL_i と接地点のインピーダンスは下がるわけで、一水平期間である60μs程度の時間といえども無視できるもの

ではない。そこで新たに第2図(a)に示されたスイッチトランジスタ Q_7 を挿入し、求め信号読み出しラインをプリチャージする際に、寄生キャパシタ $C_{SL} + C_{SL'}$ を充電しておき、充電後ただちにアドレスゲートバルス ϕ_{oj} を印加して、各画素 $C_{ij}, C_{i,j}, C_{ij}, \dots, C_{nj}$ の光情報を信号読み出しライン $SL_1, SL_2, SL_3, \dots, SL_n$ の寄生キャパシタ $C_{SL} + C_{SL'}$ の放電量として蓄積させ、その後、ただちに Q_7 をオフさせ、キャパシタ $C_{SL'}$ にのみ各画素の情報を蓄積させて、 $\phi_{oi}, \phi_{oi}, \dots, \phi_{on}$ によって C_{SL} の放電量とは無関係に出力ラインに各画素の情報を取り出す方式を従来例においては実施したわけである。従来方式の動作波形を第2図(b)は二つの水平期間にわたって示している。

時刻 t_1 において ϕ_{oi} を印加して、各信号読み出しライン上のスイッチトランジスタ Q_7 を同時に導通させ、時刻 t_1 において ϕ_{oi} を印加して、各信号読み出しライン上のプリチャージトランジスタを同時に導通させて、各信号読み

出しラインのキャパシタ $C_{SL} + C_{SL'}$ を所定のプリチャージ電圧レベルまで充電を行なう。その後、時刻 t_1 においてアドレスゲートバルス ϕ_{oj} によって画素 $C_{ij}, C_{i,j}, C_{ij}, \dots, C_{nj}$ の各SITを同時に導通させて、各SITのゲートに蓄積されていた光情報を寄生キャパシタ $C_{SL} + C_{SL'}$ の放電量として各信号読み出しライン SL_1, SL_2, \dots, SL_n 上に移行させ、その後ただちに時刻 t_1 において Q_7 をオフさせて、 C_{SL} と $C_{SL'}$ の分離を行なう。その後時刻 t_1, t_2, t_3, \dots において順次 $\phi_{oi}, \phi_{oi}, \phi_{oi}, \dots, \phi_{on}$ の水平シフトバルスを各信号読み出しライン上のスイッチトランジスタ Q_7 のゲートに加えることで、ビデオ電圧 V_{BD} から各キャパシタ $C_{SL'}$ の放電量を再充電することで、負荷抵抗 R_L の両端において出力電圧 V_{out} を得ることができる。同様にして、次の水平期間において、次の画素群 $C_{ij+1}, C_{i,j+1}, C_{ij+1}, \dots, C_{nj+1}$ が読み出される。

実際に用いられる時間的数値を述べると、

TV信号の場合、画素数は 500×500 程度必要であることから、一水平読み出し期間は $65 \mu\text{sec}$ 程度となる。本発明のSITのエリヤセンサにおいて一画素の読み出し時定数は、數 $10 \mu\text{sec}$ は容易に実現されており、 ϕ_{oi} のパルス幅は、 ϕ_{oi} のパルス幅、 ϕ_{oi} のパルス幅の和程度としても $5 \mu\text{sec}$ 以下で充分である。従って第2図に示した方式による読み出し方式を用いれば、 500×500 画素程度の画像情報は容易にTV信号を用いて読み出される。第2図に示した従来方式の場合、 ϕ_{oi} のパルスによって読み出される画素の時定数は、前述の如く、 $C_{SL'}$ を充電する時定数となっており、 $C_{SL} + C_{SL'}$ を充電するわけではないため高速化が容易であり、數 $10 \mu\text{sec}$ 程度の時定数は容易に実現される。さらに高速化を計るためにビデオ出力ライン S_1 の寄生キャパシタンス、実効抵抗を下げる。

しかるに、第2図に示した2次元固体撮像装置の構成においては、各画素 C_{ij} を構成する

SITのソース領域は全画素にわたり電気的に共通となっており、かつ同一信号読み出しライン SL_i 上に並ぶ各画素 $C_{ij}, C_{i,j}, \dots, C_{ij}$ のドレイン領域は信号読み出しライン SL_i に共通に接続されているため、各画素 C_{ij} を構成するSITとしてはノーマリオフのSITを用いる必要があった。さらにノーマリオフのSITとしても暗電流状態においてドレインソース間のリーク電流の極めて少ない、例えば $50 \mu\text{A} \times 50 \mu\text{A}$ の寸法のセルサイズでゼロゲートバイアス時に 10^{-11} A 以下ののようなデバイスを均一に並べる必要があった。このようなノーマリオフSITの光感度は、バイオーラトランジスタの光感度に近く $10^4 \sim 10^5$ 倍程度の光増幅度とあまり高光感度ではなかった。第2図の構成において一本の信号読み出しライン SL_i に数個の画素が並んでおり、理想的にはゲートバルス ϕ_{oj} によって選択された画素のみ光強度に対応した電流が流れればよいが、実際には選択されない ($n-1$) 個の画素にも非選択時における

ドレインソース間にリーク電流が流れる。この電流を抑えるためにノーマリオフであることが必要である。今、最悪条件として選択されない画素すべてに飽和電光度程度の強い光が入射している場合、光によってゲートバイアスされた各画素に流れるドレインソース間のリーク電流を I' とする。この電流がキャパシタ ($C_{SL} + C_{SL'}$) に流れるのはプリチャージパルス ϕ が切れてからトランスマスクパルス ϕ が切れるまでの時間 t_{PL} であり、キャパシタ ($C_{SL} + C_{SL'}$) から流れ出す電荷の総量は近似的に、

$$Q' = (m-1) I' t_{PL} \quad \dots \dots \dots \text{④}$$

となる。

この電荷による ($C_{SL} + C_{SL'}$) 両端の電位変化 V' は

$$V' = \frac{Q}{C_{SL} + C_{SL'}} = \frac{(m-1) I' t_{PL}}{C_{SL} + C_{SL'}} \quad \dots \dots \dots \text{⑤}$$

となる。

($C_{SL} + C_{SL'}$) 両端の電位変化の最大値はほぼ、ビデオ電圧レベル V_{DD} であるから、 V' と

比をとると

$$\frac{V'}{V_{DD}} = \frac{(m-1) I' t_{PL}}{(C_{SL} + C_{SL'}) V_{DD}} \quad \dots \dots \dots \text{⑥}$$

となる。実験に近い数値として、 $V_{DD} = 1 \text{ V}$ 、 $C_{SL} + C_{SL'} = 1 \text{ pF}$ 、 $t_{PL} = 1 \mu\text{sec}$ とすると (V'/V_{DD}) を 0.1% 以下に抑えるために必要な I' の値は

$$\text{m} = 500 \text{ の時 } I' < 2 \times 10^{-11} \text{ A} \quad \text{(A)}$$

$$\text{m} = 1000 \text{ の時 } I' < 1 \times 10^{-11} \text{ A} \quad \text{(A)}$$

と極めて小さいことが要求される。

このように極めて小さなリーク電流が要求される理由は、同一信号読み出しライン上の画素 $C_{j1}, C_{j2}, C_{j3}, \dots, C_{jm}$ を構成する SIT のドレインとソースがそれぞれ電気的に共通になされているためであった。従来例の場合プリチャージパルス ϕ が切れてからトランスマスクパルス ϕ が切れるまでの時間 t_{PL} の間に非選択状態の画素を通して放電する量を抑えるための条件は上述の如く相当厳しい。

そこで、同一信号読み出しライン上の画素

$C_{j1}, C_{j2}, C_{j3}, \dots, C_{jm}$ を構成する各 SIT のソース領域を各々別々のソースライン $BL_1, BL_2, BL_3, \dots, BL_m$ に接続し、非選択状態では一定のキャパシタ C_{SL} を持たせ SIT を通しての放電を抑制し、選択時のみ選択されたソースラインを接続して SIT を通して ($C_{SL} + C_{SL'}$) のプリチャージレベルを放電してやれば画素間のクロストークが解決することを見出した。

本発明の目的は光増幅度が $10^4 \sim 10^5$ もあり、 $10^{-1} \mu\text{W}/\text{cm}^2$ 程度の極めて微弱な光まで受光できる SIT による画素をマトリックスに並べ、 2 次元読み出しが可能なゲート蓄積方式による 2 次元固体撮像装置の構成を提供することである。

静電界場トランジスタとゲートキャパシタ C_g からなる構成を一画素の基本構成とするゲート蓄積方式の SIT イメージセンサの光感度は、 1 度、ゲート開放状態における SIT の光感度に相当する。ゲート開放状態での SIT の

光増幅度は、 SIT の持つ固有のゲート構造に大きく依存する。ソース p^- 領域から見たホールチャンネル内の電位障壁高さを V_{biasS}, p^- ゲートと p^+ ソース領域との間の拡散電位を V_{biasG} とすると、直感的な光増幅度の最大値は近似的に

$$G_{max} = \frac{n_s V_D}{P_s V_T} \exp \frac{q}{kT} (V_{biasG} - V_{biasS}) \quad \dots \dots \dots \text{⑦}$$

で表わされる。ここで n_s, P_s, V_D, V_T, q, k 及び T はそれぞれソース領域の電子密度、ゲート領域の正孔密度、真性ゲート点における電子の平均速度、ゲートの正孔のソース領域への拡散速度、単位電荷、ボルツマン定数、及び絶対温度である。光強度が弱ければ弱いほど光増幅度は大きいという特徴があり、⑦式は光強度が無限小における値である。⑦式の $\exp \frac{q}{kT} (V_{biasG} - V_{biasS})$ の項はゲートに蓄積された正孔の持つ電位障壁高さと電子の持つ電位障壁高さの差に関するものであり、 $10^4 \sim 10^5$ 程度にもなる。しかるにノーマリオフの SIT の中

でも $V_{bias} = V_{bias}$ となるような、高い V_{bias} を持つデバイスの場合には、光増幅度は 10^4 ~ 10^5 程度である。第2図に示した2次元固体撮像装置の画素を構成するノーマリオフのSITとしては、ドレインソース間の暗電流状態におけるリーク電流は、例えば $50 \mu A \times 50 \mu m$ のセルサイズのデバイスで $10^{-10} (A)$ 以下とする必要がある。このようにドレインソース間のリーク電流の少ないデバイスは、必然的にチャンネル内の電位障壁高さ V_{bias} を高く設計する必要があり、SIT本来の高光感度性を充分に利用してはいられない。この大きな理由は、前述の如くマトリックス状に並べた画素間の信号クロストークである。第2図の従来例では同一信号読み出しライン SL_i ($i = 1 \sim n$) 上の各画素を構成するSITのドレインとソース領域がそれぞれ電気的に共通になっている。第2図の従来例の場合の画素を構成するSITの光感度は 10^4 ~ 10^5 程度であるが、同一 \pm 基板もしくは \pm 埋め込み層を利用してできるため、2次元

配列の構成が簡単であり、読み出し方法も簡単ではあった。

本発明はSIT本来の高光感度性を充分に利用する2次元固体撮像装置の構成に関するもので、具体的には、垂直信号アドレスライン GL_j ($j = 1 \sim m$) 上の各画素 $C_{i,j}$ 、 $C_{j,j}$ 、…、 $C_{n,j}$ を構成するSITのソース領域を共通のソースライン BL_j に接続し、かつ各 BL_j ($j = 1 \sim m$) には接地点との間にソースライン選択用トランジスタ Q_s を接続し、かつ各 Q_s のゲートは各々垂直信号アドレスライン GL_j に接続することで、垂直アドレスライン GL_j の選択と同時にソースライン BL_j が接地点となるように構成した点を特徴としている。各信号読み出しラインには接地点との間にキャパシタ ($C_{sl} + C_{sl'}$) を持たせ、各 SL_i ($i = 1 \sim n$) ラインの ($C_{sl} + C_{sl'}$) へのプリチャージは電源 V_{dd} よりプリチャージパルス ϕ_1 によってプリチャージトランジスタ Q_p を導通させることで同時に行なう。垂直シフトレ

ジスタよりの垂直アドレスパルス ϕ_{oj} によって GL_j 上の各画素列 $C_{i,j}$ 、 $C_{j,j}$ 、…、 $C_{n,j}$ は同時に選択され、各 ($C_{sl} + C_{sl'}$) に充電された電位レベルは各画素のSITのゲートに蓄積された光情報に応じて各SITを通してソースライン BL_j 及び Q_s を通して接地点へ放電される。各 ($C_{sl} + C_{sl'}$) の放電量は、従来例と同様にトランസフ・パルス ϕ_2 を切ってトランಸフ・トランジスタ Q_s をオフして $C_{sl'}$ のみの放電量として検出する。各 $C_{sl'}$ の光情報は、水平シフトレジスタからの読み出しライン選択パルス ϕ_{si} 、 ϕ_{sj} 、…、 ϕ_{sn} によって順次選択されるスイッチトランジスタ Q_s を通して共通ビデオライン上の負荷 R_L の信号変化として検出する。成いは $C_{sl'}$ の光情報は、CCDシフトレジスタ等へ同時に入力して、CCD出力として取り出してもよいことは従来例と同様である。

本発明による2次元固体撮像装置の構成を用いれば、光増幅度が 10^4 ~ 10^5 もあり、 10^{-10}

$\mu W/cm^2$ 程度の極めて微弱な光まで受光できるSITを各画素の構成に用いることができ、しかも各画素間のクロストークも確実に抑えることができる。2次元的なマトリックスの配列において従来例と異なる点は、前述の如く、 GL_j ($j = 1 \sim m$) 上の各画素のSITのソース領域を共通のソースライン BL_j ($j = 1 \sim m$) に接続した点であり、同一の信号読み出しライン SL_i ($i = 1 \sim n$) 上に並ぶ各画素のSITのソース領域は別々のソースライン BL_1 、 BL_2 、…、 BL_m に接続されている点である。

本発明による2次元固体撮像装置の各画素を構成するノーマリオフのSITの特性としては、暗電流状態においてドレインソース間のリーク電流の値は例えば $50 \mu A \times 50 \mu m$ のセルサイズで 10^{-10} ~ $10^{-9} (A)$ 程度のデバイスまでクロストークを確実に抑えつつ配列可能でありこのようなSITの光感度は 10^4 ~ 10^5 の値にもなることが実験的に明らかになった。如式よりチャンネル内の電位障壁の高さ V_{bias} の値が V_{bias} の

値に比べ $0.8 \sim 0.5 \cdot V$ 程度低い場合、 $\exp \frac{q}{kT}$
($V_{bias} - V_{bias}$) の値は $10^4 \sim 10^5$ 程度となることがわかる。

第 8 図(a)は本発明による 2 次元固体撮像装置の構成の一画素部分の断面説明図であり第 8 図(b)はその読み出し動作波形である。第 8 図(a)において一画素 C_{ij} はノーマリオフの SIT とゲートキャパシタ C_g から構成されており、SIT のドレイン 40 は信号読み出しライン SL_i に接続され SIT のゲート 41 はゲートキャパシタ C_g を介してアドレスゲートライン GL_j に接続され、SIT のソース 42 はソースライン BL_j に接続されている。信号読み出しライン SL_i にはプリチャージトランジスタ Q_p、トランジットトランジスタ Q_t が接続されかつ Q_t のドレインにはスイッチトランジスタ Q_s 及び負荷抵抗 R_l を介してビデオ電圧 V_{dd} に接続されている。

第 1 図(a)の従来例と異なる点は SIT のソース 42 が接地電位ではなく、ソースライン選択

用トランジスタ Q_s を介して接地電位に接続されている点であり、Q_s の選択は GL_j の選択パルス ϕ_{oj} で同時に行なっている。第 8 図(a)において信号読み出しライン SL_i が接地点との間に持つキャパシタを C_{sl} とし、Q_t のゲートドレイン間キャパシタを C_{tt}、Q_t のドレイン部分及び Q_s のソース部分が接地点との間に持つキャパシタを C_{sl'} と表わしている。さらにソースライン BL_j が接地点との間に持つキャパシタを C_{sl}' と表わしている。

第 8 図(b)を参照して第 8 図(a)の動作を説明する。光は連続的に照射されている場合を想定し、一定の光積分時間 T_{sl} 毎に読み出す場合の読み出し動作時の動作波形を第 8 図(b)は示している。画素 C_{ij} の光情報を読み出す際、まずトランジットトランジスタ Q_t のゲートへのトランジットパルス ϕ_t によって Q_t を導通させ信号読み出しライン SL_i のキャパシタ C_{sl} に C_{sl'} を結合させる。 ϕ_t のパルス幅は数 μs 以内である。 ϕ_t の印加状態において、プリチャージバ

ルス ϕ_p をプリチャージトランジスタ Q_p に印加し、プリチャージ電圧 V_{pp}' からキャパシタ ($C_{sl} + C_{sl}'$) を $V_{pp}' - V_{tbp}$ のレベルまで充電した後、アドレスゲートパルス ϕ_{oj} を画素 C_{ij} 及びソースライン選択トランジスタ Q_s のゲートに加え、トランジスタ Q_s を導通させてソースライン BL_j を接地電位にすると同時に画素 C_{ij} のドレインソース間にゲートに蓄積された正孔による光情報を応じた放電電流が流れれる。キャパシタ C_{sl'} の電位変化の様子を V_{tl} の波形で示している。点線 \circ は暗電流状態、一点鎖線 \circ は通常の光照射状態、実線 \bullet は飽和電光量の光が照射された状態に対応している。次に、 ϕ_t が切れて Q_t がオフ状態になってしまいキャパシタ C_{sl'} の放電状態は変化しない。 C_{sl'} の放電量をスイッチトランジスタ Q_s を通して再充電することで、C_{sl'} の放電量に相当した画素 C_{ij} の光信号が負荷抵抗 R_l の両端から検出される。 V_{pp}' 、 V_{dd} 、 V_{tbp} 、 V_{tba} の関係は通常回路のように過ぶ。また一部分の

キャパシタの大小関係は、有効に画素 C_{ij} の光情報をビデオ出力ラインに取り出すために

$$C_0 < C_{sl'} \approx C_t \leq C_{sl} \approx C_{sl'} \dots \dots \dots \text{付}$$

としている。

第 4 図(a)は本発明による 2 次元固体撮像装置の構成の実施例を示し、第 4 図(b)はその読み出し動作波形例を示す。第 2 図(a)の従来例と異なる点は垂直アドレスゲートライン GL_j に接続された画素 C_{ij} 、 C_{ij} 、 C_{ij} 、…、 C_{oj} のソース領域を共通のソースライン BL_j に接続し、かつ各 BL_j には別々のスイッチトランジスタ Q_s が接地電位との間に接続されている点である。同一信号読み出しライン SL_i 上の画素 C_{ij} 、 C_{ij} 、 C_{ij} 、…、 C_{im} を構成する SIT のドレイン領域は信号読み出しライン SL_i に接続されているが、ソース領域は別々のソースライン BL₁、BL₂、BL₃、…、BL_m に接続されている。各ソースライン BL_j ($j = 1 \sim m$) にはスイッチトランジスタ Q_s が接地電位との間に接続され、アドレスゲートライン GL_j

($j = 1 \sim m$) が序選択時には Q_s はオフ状態にあり、各ソースライン BL_j ($j = 1 \sim m$) はキャパシタ C_{SL} を持ち、アドレスゲートライン GL_j ($j = 1 \sim m$) が選択時にのみ Q_s は導通しソースライン BL_j が接続され、かつアドレスゲートライン GL_j によって選択された画素 C_{ij} 、 C_{sj} 、 C_{tj} 、…、 C_{nj} を構成する SIT も各画素のゲートに蓄積された光情報に応じて導通するため、別々の信号読み出しライン上のキャパシタ C_{SL} をそれぞれ放電することになる。第 4 図(a)で 400、401 はそれぞれ水平シフトレジスタ、垂直シフトレジスタを示す。402 はビデオ出力ライン、403 はトランスマッピングトランジスタ Q_s のゲートの共通ラインでトランスマッピングパルス ϕ_s を同時に印加するためのラインである。404 はプリチャージトランジスタ Q_p のゲートの共通ラインでプリチャージパルス ϕ_p を同時に印加するためのラインである。405 はプリチャージ電源ラインである。第 4 図(b)に第 4 図(a)の動作波形が 2 つの水平期間について示されている。

いて示されている。各パルスのタイミング周期、パルス高さパルス幅、位置関係等はすべて第 2 図(b)に示した従来例と同じである。アドレスゲートパルス波形 ϕ_{oj} 、 ϕ_{oj+1} において、 V_o はアドレスゲートパルスの高さを示し、 V_x はリフレッシュパルスの高さを示している。このようにリフレッシュパルスを加えてもよいことは従来例と同様である。

第 5 図は本発明の 2 次元固体撮像装置の構成の別の実施例である。500、501 はそれぞれ水平シフトレジスタ、垂直シフトレジスタを示し、502、503、504、及び 505 はそれぞれ、ビデオ出力ライン、トランスマッピングパルス ϕ_s 印加用ゲートライン、プリチャージパルス ϕ_p 印加用ゲートライン、及びプリチャージ電源ラインを示す。第 4 図(a)と異なる点は、各ソースライン BL_1 、 BL_2 、 BL_3 、…、 BL_m と接地点との間に接続されたトランジスタが静電誘導トランジスタとなっている点である。通常、各ソースライン BL_1 、 BL_2 、 BL_3 、…、 BL_m は ϕ_s

埋め込み層で形成されるため(第 7 図(a)参照)集積化して製造する場合にトランジスタ Q_s として SIT を用いると集積化が容易である。すなわち、ゲートキャパシタ C_s を持つ SIT から構成される画素列 C_{ij} 、 C_{sj} 、 C_{tj} 、…、 C_{nj} と Q_s としての SIT は、 Q_s のゲートが GL_j に接続されるため一体化製造するときに適しているわけである。第 5 図の他の構成及び動作方法はすべて第 4 図(a)(b)の実施例と同様である。

第 6 図は本発明による 2 次元固体撮像装置の構成の別の実施例を示す。 C_{SL}' の放電量を検出する方法として、スイッチトランジスタ Q_s のゲートライン 602 に同時にゲートパルス ϕ_s を印加して、同時に各 C_{SL}' の放電量として蓄積された光情報を水平信号伝送用 CCD 600 の蓄積領域へ入力し CCD 出力として取り出す例を示している。CCD 600 は 2 相クロックパルス ϕ_{CL} 、 ϕ_{CR} で動作する。606 はバッファアンプ、607 は出力端子を示す。601 は垂直シフト

レジスタ、603 はトランスマッピングパルス ϕ_s 印加用ゲートライン、604 はプリチャージパルス ϕ_p 印加用ゲートライン、605 はプリチャージ電源ラインを示す。各ソースライン BL_1 、 BL_2 、 BL_3 、…、 BL_m と接地点との間にスイッチトランジスタ Q_s として MOS トランジスタが接続されている。 Q_s としては SIT であってもよい。読み出し動作としては、 ϕ_s が切れた後に、ゲートパルス ϕ_s を同時にすべての Q_s のゲートに印加して、各 C_{SL}' に放電量として蓄積されている光情報を CCD 600 内の電位セルによる蓄積領域へ転送し、その後一水平期間内に出力端子に 2 枚の信号出力を取り出せばよい。

第 7 図(b)は本発明による 2 次元固体撮像装置の一画素部分の断面構造を示す。第 7 図(b)、(c)は 2×2 のマトリックスを例に SIT の正立、倒立両動作によって 2 通りのマトリックスの構成方法があることを説明するための回路図である。

第7図(a)の各部分を説明する。第7図(a)には半導体基板内に集積化製造される電界トランジスタ及びゲートキャバシタが示されている。701はp基板を示す。 p^+ 埋め込み層704及び706は隣接する耐圧列($C_{i,j}$, $C_{i,j+1}$, ..., $C_{n,j}$)及び($C_{i,j+1}$, $C_{i,j+2}$, ..., $C_{n,j+1}$)の共通のソースライン BL_j 及び BL_{j+1} に対応している。領域719は分離領域であり、 p^- もしくは p^- もしくはi層で形成されたSITのチャンネル領域715及び716を互いに分離している。 p 領域718は隣接する耐圧の p^+ ゲート領域706と707を互いに絶縁するための拡散領域である。表面 p^+ 領域718-1, 718-2, 718-3は一耐圧を構成するSITのドレイン領域を示す。ドレイン領域718-1, 718-2, 718-3は紙面に示されていない部分において p^+ ポリシリコン電極711等で電気的に接続されている。すなわち、第7図(a)に示す実施例では一耐圧を構成するSITは8つのチャンネル領域を有している。このようにマルチチャンネ

ルにするのは電流を稼ぐためであるが、一耐圧のセルサイズを小さくする必要がある。合には单一チャンネルとしてもよい。その場合には電流は1/8となる。 p^+ ドレイン領域718-1, 718-2, 718-3を隔む p^+ ゲート領域706の上部には Si_3N_4 膜、 SiO_2 膜等で形成された薄い絶縁膜710が全面に形成されている。708は透明電極であり、702は透明電極708とのA_jコンタクトラインである。 p^+ 領域714-1は隣りの耐圧のSITの p^+ ドレイン領域であり、 p^- もしくは p^- もしくはi層716は隣りの耐圧のSITのチャンネル領域である。709は708と同様透明電極であり、708は透明電極709とのA_jコンタクトラインである。A_j電極ライン702及び708は隣接する耐圧列($C_{i,j}$, $C_{i,j+1}$, ..., $C_{n,j}$)及び($C_{i,j+1}$, $C_{i,j+2}$, ..., $C_{n,j+1}$)へのそれぞれアドレスゲートライン GL_j 及び GL_{j+1} となっている。 p^+ ポリシリコン電極711及び712は同一信号読み出しライン BL_i に接続されてい

る。信号読み出しライン SL_i は紙面に示されていない分離領域719の上部においてアドレスゲートラインと直交するようにA_j電極等で接続されている。領域717は絶縁層である。光照射部720はデバイス表面から行なわれる。ゲートキャバシタ C_g は透明電極708、薄い絶縁物層710及び p^+ ゲート領域706からなるMISキャバシタによって形成されている。ソースライン BL_j 704はアドレスゲートライン GL_j 702と平行に形成されるため、スイッチャトランジスタ Q_s としてSITを紙面に示されていない部分において、形成することとは容易である。

第7図(b)は第4図乃至第6図の実施例のマトリックス構成と同様に表面 p^+ 領域718-1, 718-2, 718-3をドレイン領域、 p^+ 埋め込み層704をソース領域として形成する場合のマトリックス構成を示しているが、第7図(c)は表面 p^+ 領域718-1, 718-2, 718-3をソース領域、 p^+ 埋め込み層704をドレイン領域として形成する場合のマトリックス構成を示

している。この場合には埋め込み層ライン BL_j , BL_{j+1} 等が信号読み出しラインとなり、ソース領域を共通に接続したライン SL_i , SL_{i+1} 等はソースラインとなる。アドレスゲートライン GL_j , GL_{j+1} 等は信号読み出しライン BL_j , BL_{j+1} 等と直交することになる。各ソースライン SL_i , SL_{i+1} 等と接地点との間に接続されるトランジスタ Q_s は前述の第7図(a)(b)の場合とはちがって、表面 p^+ ソース領域718, 714等が接続されたソースライン SL_i と接地点との間に接続されるため、特にSITである必要はない。第7図(b)は倒立型のSITを一耐圧の構成要素とする場合のマトリックス構成であり、第4図乃至第6図の実施例でも同様であった。一方第7図(c)は正立型のSITを一耐圧の構成要素とする場合に相当している。

第7図(c)の構成方法を2次元固体撮像装置に応用した実施例を第8図に示す。第8図の耐圧 C_{ij} は正立型SITとゲートキャバシタ C_g から構成されており、 $\times \times$ のマトリックス状に

配列されている。800は水平シフトレジスタ、801は垂直シフトレジスタであり、802はビデオ出力ライン、803はトランスマッピングジスタ Q_1 へのアドレスゲートラインである。804はプリチャージトランジスタ Q_2 へのアドレスゲートラインを示す。805はプリチャージ電源ラインを示す。画素 C_{ij} を構成するSITのソース領域はソースライン SL_i に接続され、ドレイン領域は読み出し信号ライン BL_j に接続され、ゲート領域はゲートキャパシタ C_g を介してアドレスゲートライン GL_i に接続されている。さらにソースラインには接地点との間にスイッチトランジスタ Q_3 が接続され、 Q_3 のゲートにはアドレスゲートライン GL_i が接続されている。 GL_i の選択と同時にアドレスゲートパルス ϕ_{oi} によって、画素列($C_{i1}, C_{i2}, C_{i3}, \dots, C_{in}$)が選択され、かつ Q_3 が導通してソースライン SL_i の電位が接地されるようになされている。信号読み出しライン BL_j 上にはプリチャージ用トランジスタ Q_4 がプリ

チャージ電源 $V_{dp'}$ との間に接続されている。さらに BL_j には、ビデオ出力ライン802との間にトランスマッピングジスタ Q_5 及びスイッチトランジスタ Q_6 が直列に接続されている。各信号読み出しライン BL_j ($j=1 \sim n$)には接地点との間にキャパシタ C_{BL} を持たせ、さらにトランスマッピングジスタ Q_5 のドレイン及びスイッチトランジスタ Q_6 のソース領域と接地点との間にキャパシタ $C_{BL'}$ を持たせていている。またトランスマッピングジスタ Q_5 のゲートドレイン間容量を C_T で表現している。各ソースライン SL_i ($i=1 \sim m$)はスイッチトランジスタ Q_3 がオフ状態の場合にはキャパシタ C_{SL} を持っている。垂直シフトレジスタ801から各アドレスゲートライン GL_i ($i=1 \sim m$)にはアドレスゲートパルス ϕ_{oi} ($i=1 \sim m$)が順次印加され、また水平シフトレジスタ800からは各信号読み出しライン BL_j ($j=1 \sim n$)上のスイッチトランジスタ Q_6 のゲートに対して水平シフトパルス ϕ_{oj} ($j=1 \sim n$)

が順次印加される。出力信号はビデオライン802とビデオ電圧 V_{dp} との間の負荷抵抗 R_L の両端から検出される。第8図の2次元固体撮像装置の画素を構成するSITは正立動作のSITを用いることができるため、第4図乃至第6図の実施例に比べさらに高光感度となる。これは第7図(a)の断面構造から明らかのように、表面 $n+$ 領域718をソース領域、埋め込み $p+$ 領域704をドレインとして使用するため、デバイス動作上、ソースから注入された電子のドレインへの到達率が逆動作(倒立動作)の場合に比べ大きくすることができます。ゲート電位の変化が及ぼすソースドレイン間電流への変化率(G_m)の値も大きくとれる。第8図の2次元固体撮像装置の読み出し動作は基本的には第4図の実施例と同様である。すなわち、トランスマッピングパルス ϕ_{oi} を数 n/m のパルス幅加え、そのパルス期間内において、プリチャージパルス ϕ_{dp} をプリチャージトランジスタ Q_4 に印加し、すべての信号読み出しライン上のキャ

パシタ($C_{BL} + C_{BL'}$)を $V_{dp'} - V_{dp}$ のレベルまでプリチャージする。 ϕ_{dp} を切った後、直ちにアドレスゲートパルス ϕ_{oi} をアドレスゲートライン GL_i に印加して GL_i 上の画素列 $C_{i1}, C_{i2}, C_{i3}, \dots, C_{in}$ を選択し、 Q_3 の導通とともに各画素のSITを通して各画素のゲートに蓄積された光情報としての正孔の蓄積状態に応じてキャパシタ($C_{BL} + C_{BL'}$)の放電を起こさせる。次に ϕ_{oi} 及び ϕ_{dp} を同時に切ると、画素列 $C_{i1}, C_{i2}, \dots, C_{in}$ の光情報は $C_{BL'}$ にのみ現われることになる。従って、一水平期間内にわたって、順次水平シフトパルス $\phi_{oj}, \phi_{oj+1}, \dots, \phi_{oj+n}$ を各スイッチトランジスタ Q_6 のゲートに加えて、 $C_{BL'}$ の放電分をビデオ電圧 V_{dp} から再充電してやることで、出力信号 V_{out} がシリアルに得られる。次の水平期間では、 ϕ_{dp} を加え、プリチャージパルス ϕ_{dp} を加え、同様に ϕ_{oj+n} を加えることで隣りの画素列 $C_{i+1}, C_{i+2}, C_{i+3}, \dots, C_{i+n}$ の光情報を同様に読み出す。各パルス幅、パルス高

き等は従来例もしくは第4図(b)の実験例と同様である。式が成立している。各部の容量の大小関係は印式と同様にして

$$C_s < C_{SL} \approx C_s \leq C_{SL} \approx C_{SL} \dots \dots \dots \text{印式}$$

としている。

〈装置の構成〉

第2図において示した従来例では、画素を構成するSITは全画素電気的に共通となっており、同一信号読み出しライン上に並ぶ画素のSITはソース領域、ドレン領域が共通となっている。このため、ゲートが選択されない画素に光が入射してSITのソースドレン間のインピーダンスが低下することにより($C_{SL} + C_{SL}'$)から放電電流として流れる電流が疑似信号として検出される可能性がある。この疑似信号を飽和出力、例えば $V_{DD} = 1\text{V}$ の0.1%以下に抑えるためには非選択時に光でゲートがバイアスされた状態で画素に流れる電流は、 500×500 画素のマトリックスにおいては $2 \times 10^{-11}\text{A}$ 以下とする必要があり、かなりのノーマリオ

フ性であることが要求される。しかも、このようなSITの光増幅度は、印式によって説明したように、チャンネル内の電位障壁高さ V_{bias} の値がゲートソース間の電位差 V_{bias} に近くなってくるため、あまり高精度ではなくなってくる。さらに従来例の場合、マトリックス中に不良な画素(短絡)がある場合、同一の信号読み出しラインに接続されている他の画素まで短絡状態のように見なされてしまい、隣接する画素への影響が大きかった。これらを解決するため従来電気的に共通とされていたSITのソース領域をストライプ構造にしてライン毎に選択できる回路形式を用いることを本発明では開示したわけである。以上説明した本発明による2次元固体撮像装置の構成を用いると、ノーマリオフのSITとしてもゼロゲートバイアス時に $50 \mu \times 50 \mu$ のセルサイズで $10^{-11}\text{A} \sim 10^{-10}\text{A}$ 程度のドレンソース間電流の流せる素子を一画素の構成として用いることができ、しかも画素間のクロストークの問題も解決できた。さら

にこのような特性を示すSITの光増幅度は $10^3 \sim 10^4$ 程度と極めて高い。さらに本発明による2次元化構成を用いれば、特定の画素が短絡状態にあったとしても他の隣接する画素への影響はない。第9図は第8図に示した本発明による2次元固体撮像装置の構成と、第2図に示した従来型2次元固体撮像装置の構成を用いて、読み出した一画部分の光電変換特性の比較を示している。一画素の寸法はいずれも $50 \mu \times 50 \mu$ である。ビデオ電圧 $V_{DD} = 1\text{V}$ 、 $R_L = 1\text{K}\Omega$ 、光積分時間は 20msec である。波長 6550\AA の光を照射しており、横軸はその入射光強度 P ($\mu\text{W}/\text{cm}^2$)、縦軸は負荷 R_L の両端から得られた出力信号のピーク値を暗電流レベルから差引いた値を示している。出力の飽和レベルがビデオ電圧 1V より小さくなっているのはスイッチMOSトランジスタの閾値分減っているからである。(a)乃至(c)のカーブが本発明による構成の実験結果であり、(d)は第2図に示した従来例の実験結果である。(a)乃至(c)の特性が異なるの

は、チャンネル内の電位障壁高さ V_{bias} の高さも高くなり V_{bias} に近づいている。さらに(d)の画素のSITはゼロゲートバイアス時、暗電流状態においてドレンソース間のリーク電流が 10^{-11}A 以下と極めて小さい素子を用いている。前述の如く従来例の構成では(d)のような光電変換特性しか得られなかったものが、本発明による構成を用いれば、撮影光強度として約8倍改善される。特に $10^{-11}\text{(\mu W/cm^2)}$ の極微弱光まで検出されており、非常に高精度でダイナミックレンジ広い。またX-Yアドレス方式における信号読み出し線のキャパシタを利用して、読み出し時に必ず一定のプリチャージレベルに充電してから光情報を放電量として検出しており、動作的に安定で均一に画像を検出している。また直流電流を検出する方式ではないため完全ダイナミック動作となっており低消費電力である。読み出し速度の点では第2図の従来例と同様高速である。

本発明による2次元固体撮像装置の構成では、

S I T の持つ高光感度性を充分に利用でき、例えば $10^{-1} \mu\text{W}/\text{cm}^2$ の強度の光を光検分時間 20 m sec で検出しており、従来の摄像管のうち最も高感度と云われる S I T 管 (Silicon Intensified Target Tube) の特性に近づいている。

本発明による 2 次元固体摄像装置は、非常に優れた光検出を特徴としており、工業的価値の高いものである。

4 図面の簡単な説明

第 1 図は従来の読み出し方式の原理説明図で、(a) は一画素の回路構成例、(b) は動作波形。

第 2 図(a) は従来の 2 次元固体摄像装置の構成例、(b) は従来例の信号読み出し動作波形例 (2 ピクセル)。

第 3 図(a) は本発明による 2 次元固体摄像装置の一画素部分の原理説明図、(b) は(a) 及びその動作波形例。

第 4 図(a) は本発明による 2 次元固体摄像装置の構成の実施例、(b) は(a) 及びその読み出し動作

波形例。

第 5 図は本発明の 2 次元固体摄像装置の構成の別の実施例。

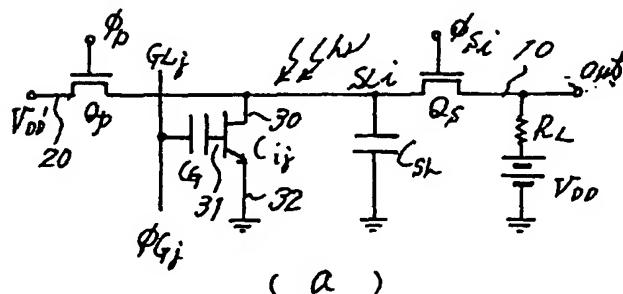
第 6 図は本発明による 2 次元固体摄像装置の構成の別の実施例。

第 7 図(a) は本発明による 2 次元固体摄像装置の一画素部分の断面構造例、(b) は 2×2 マトリックスによる回路表現、(c) は 2×2 マトリックスによる別な回路表現。

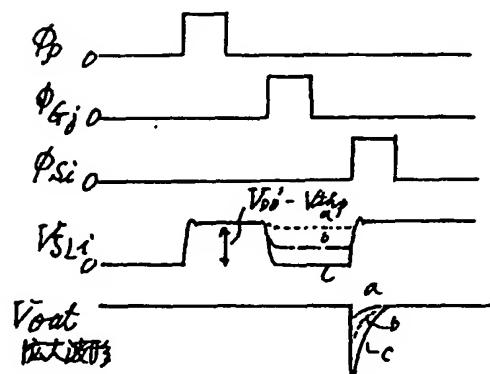
第 8 図は本発明による 2 次元固体摄像装置の構成のさらに別の実施例を示し、特に第 7 図(c) を発展させた構成例を示す図。第 9 図は本発明による 2 次元固体摄像装置と従来例 (第 2 図) の 2 次元固体摄像装置の光電変換特性の比較を示し、(a) ~ (c) は本発明に関する実験結果、(d) は従来例における実験結果を示す図である。

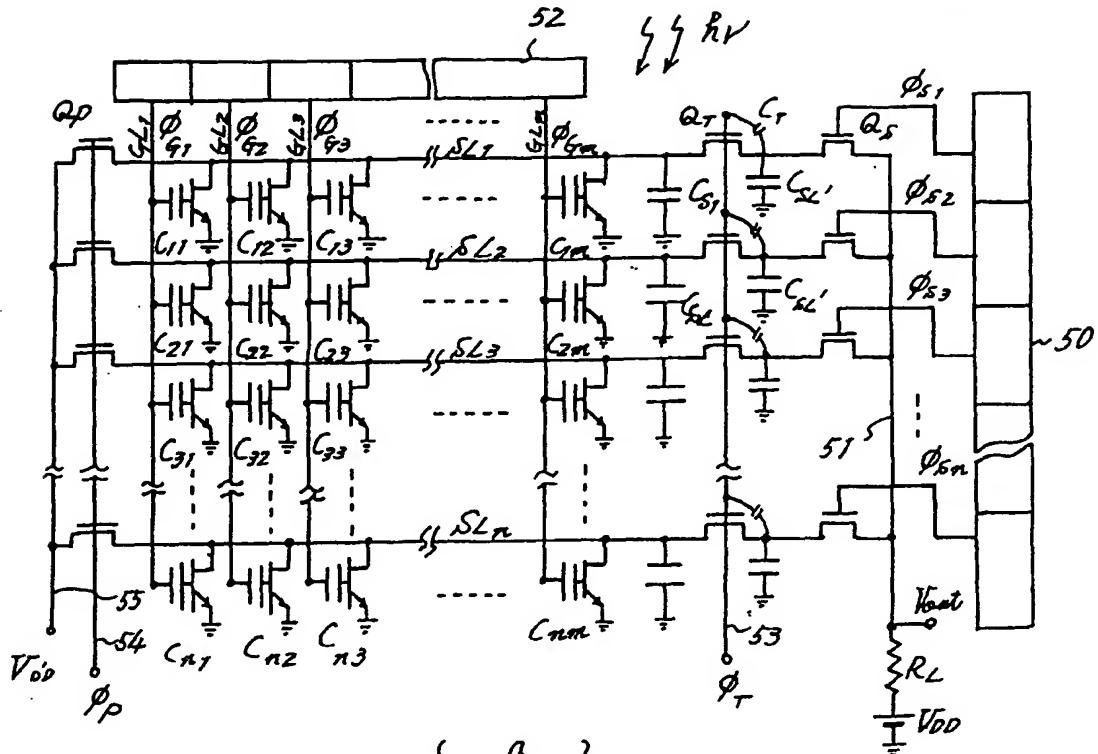
40 … S I T のドレイン、41 … S I T のゲート、42 … S I T のソース、400、500、800 … 水平シフトレジスタ、401、501、801、801 … 垂直シフトレジスタ、402、502、802

…ビデオ出力ライン、403、503、603、803
…トランスマッタ用アドレスゲートライン、404、504、604、804 …プリチャージパルス用アドレスゲートライン、405、
605、805 …プリチャージ電源ライン、
602 …トランスマッタ用アドレスゲートライン、606 … C C D 出力バッファアンプ、
607 …出力端子、701 … p 基板、702、703 …アドレスゲートライン用 A) 電極記録、704、
705 … p+ 埋め込み層、706、707 … p+ ゲート膜、708、709 …透明電極、710 … 密い絶縁層、711、712 … p+ ポリシリコン層、713~1、713~2、713~3、714~1 … p+ ソースもしくはドレイン領域、715、716 … p- (p-, 1) 高抵抗エピタキシャル層、717、
…絶縁物層、718 … 分離用 p 基板層、719 … 絶縁物分離領域、720 … 光入射部。



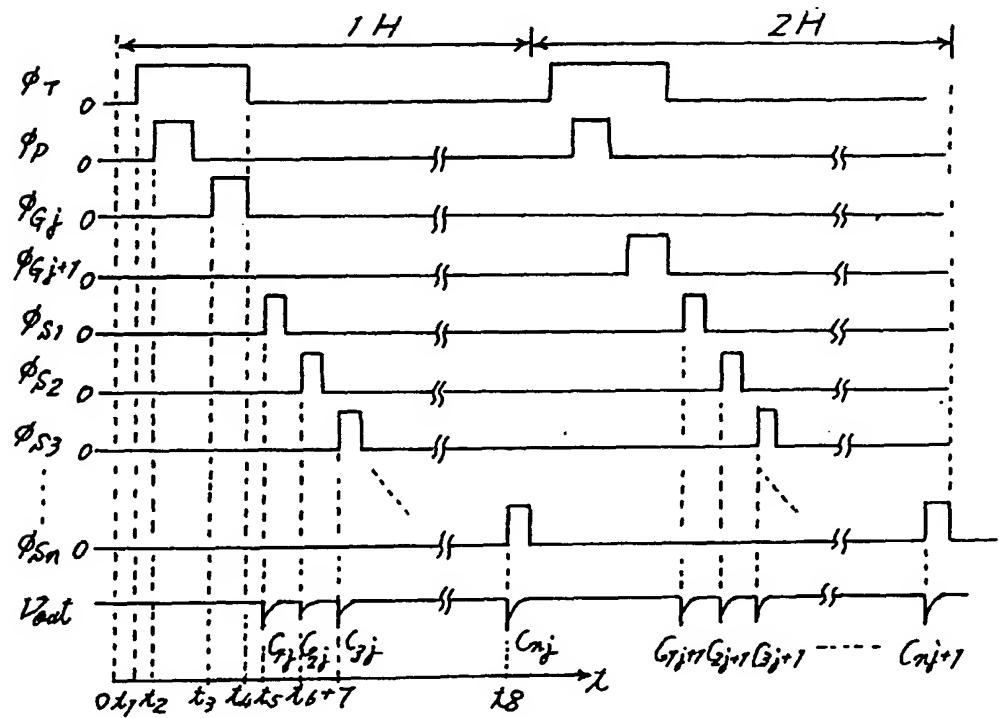
(a)

(b)
第 3 図



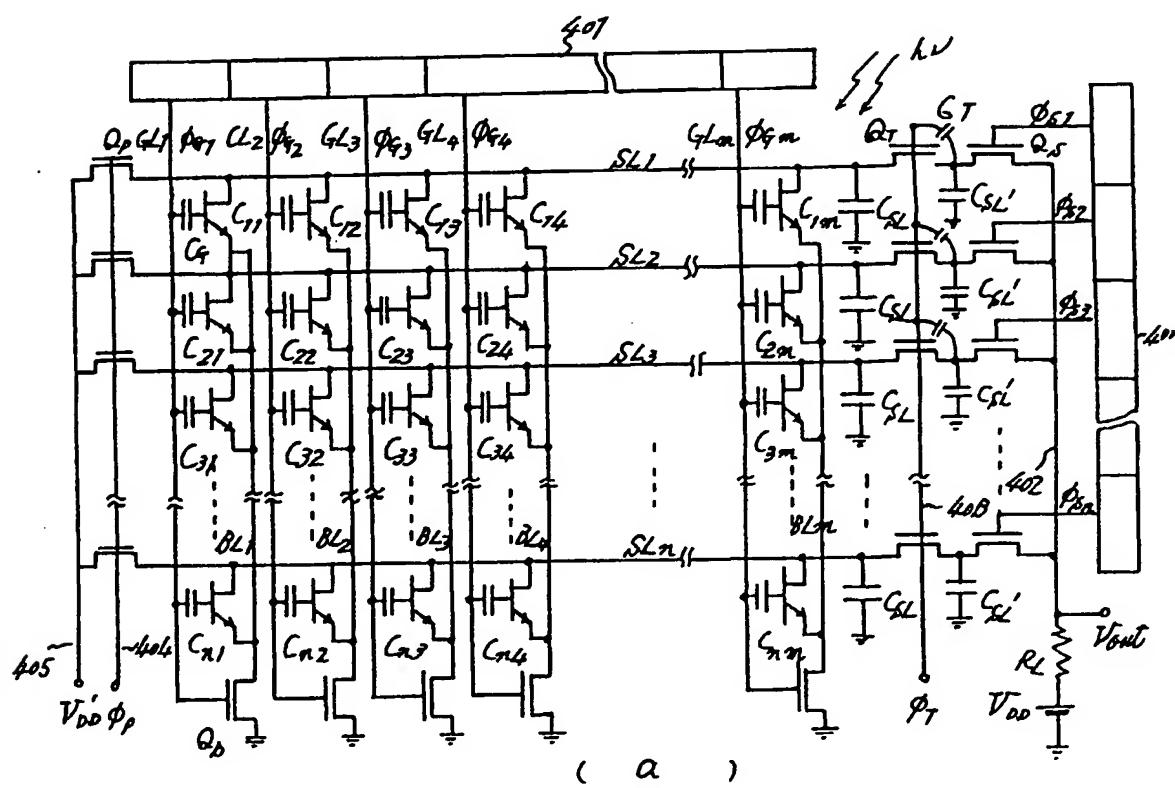
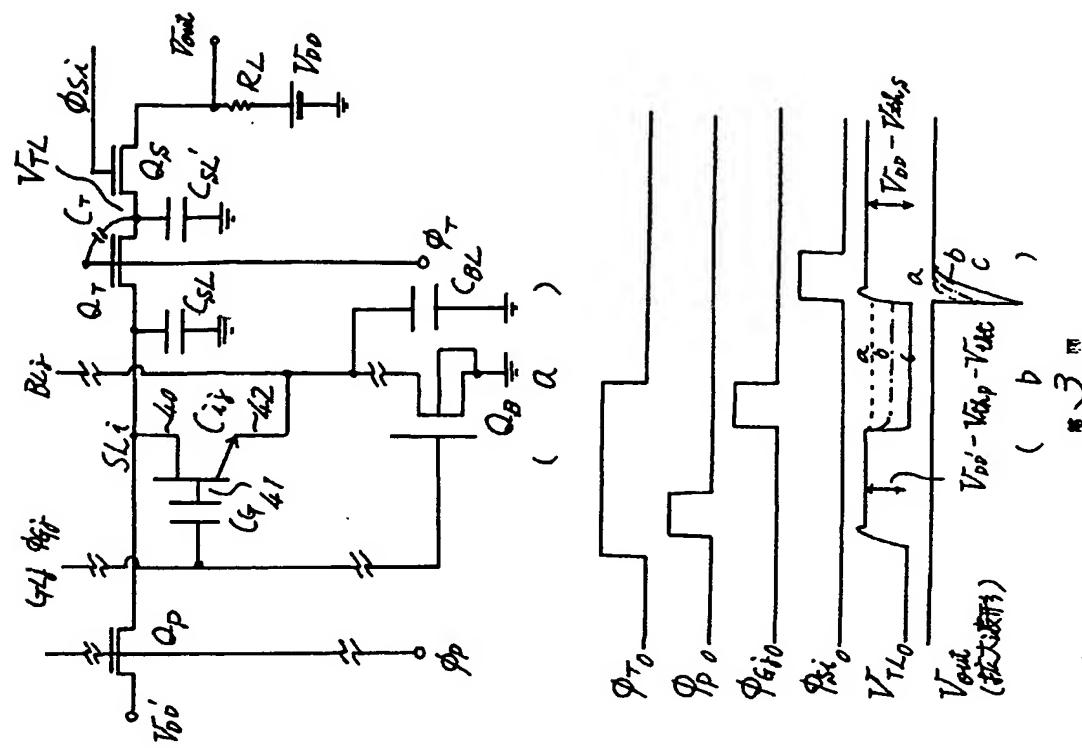
(a)

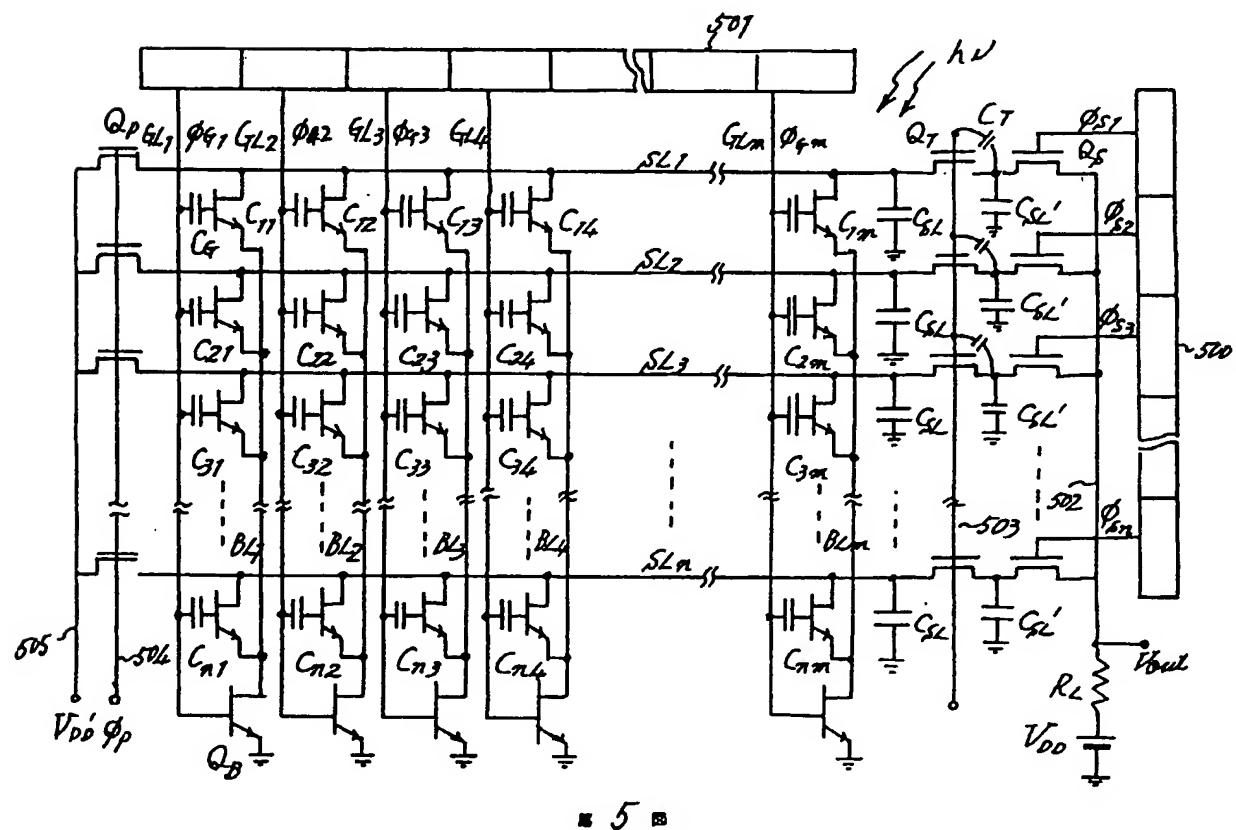
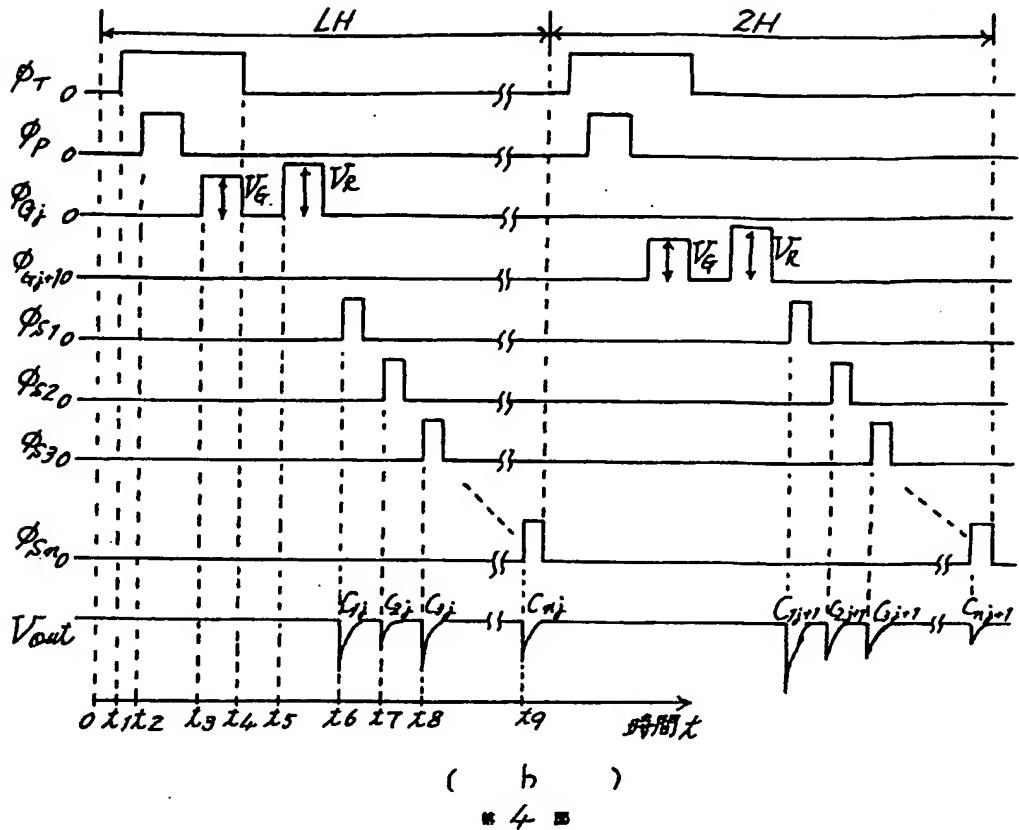
* 2 *

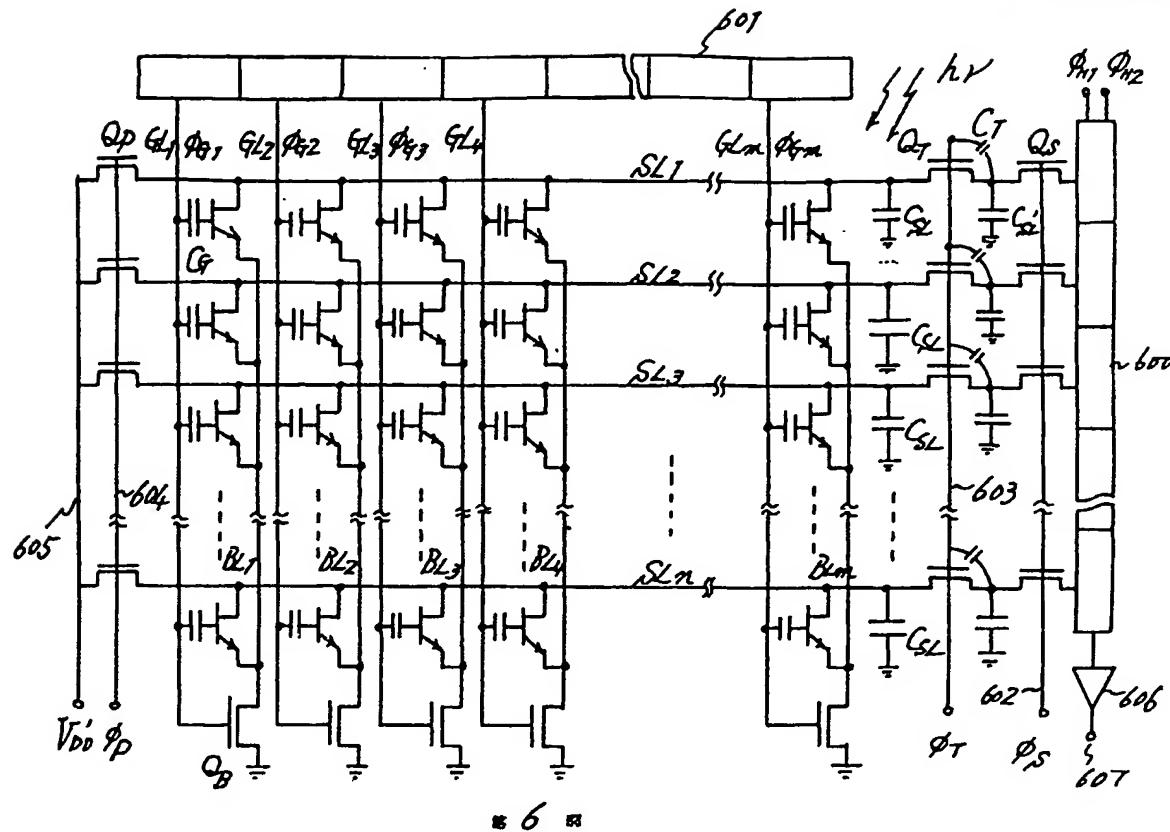


(b)

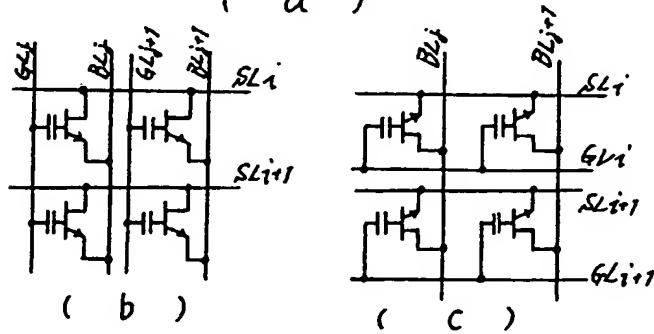
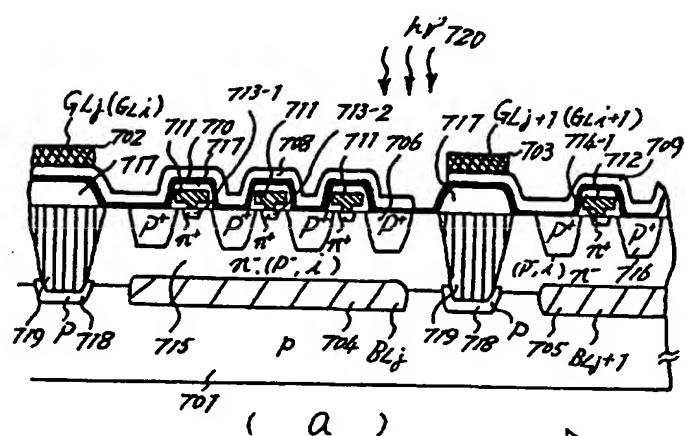
* 2 *







* 6 *



* 7 *

